

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2001-519613

(P2001-519613A)

(43) 公表日 平成13年10月23日 (2001. 10. 23)

| (51) Int.Cl. <sup>7</sup> | 識別記号 | F I           | テマコード* (参考) |
|---------------------------|------|---------------|-------------|
| H 0 3 H 11/24             |      | H 0 3 H 11/24 | B 5 J 0 2 6 |
| H 0 3 G 11/08             |      | H 0 3 G 11/08 | 5 J 0 3 0   |
| H 0 3 H 7/24              |      | H 0 3 H 7/24  | 5 J 0 9 8   |
| // G 0 6 F 7/556          |      | G 0 6 F 7/556 | Z           |

審査請求 有 予備審査請求 有 (全 39 頁)

(21) 出願番号 特願2000-515334(P2000-515334)  
 (86) (22) 出願日 平成10年4月30日 (1998. 4. 30)  
 (85) 翻訳文提出日 平成12年3月31日 (2000. 3. 31)  
 (86) 国際出願番号 PCT/US 98/08577  
 (87) 国際公開番号 WO 99/18664  
 (87) 国際公開日 平成11年4月15日 (1999. 4. 15)  
 (31) 優先権主張番号 08/942, 838  
 (32) 優先日 平成9年10月2日 (1997. 10. 2)  
 (33) 優先権主張国 米国 (US)  
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

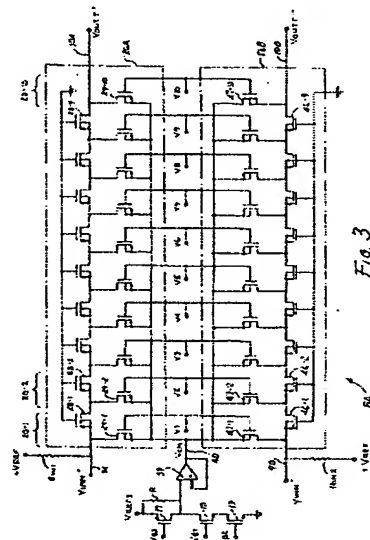
(71) 出願人 バー・ブラウン・コーポレーション  
 BURR-BROWN CORPORATION  
 アメリカ合衆国アリゾナ州85706, タクソン, サウス・タクソン・ブルバード  
 6730  
 (72) 発明者 コーン, マイロン・ジェイ  
 アメリカ合衆国アリゾナ州85749, タクソン, イースト・ロジャー・ロード 10900  
 (74) 代理人 弁理士 社本 一夫 (外4名)

最終頁に続く

(54) 【発明の名称】 CMOS 差分電圧制御式の対数アッテネータおよびその方法

## (57) 【要約】

対数アッテネータ回路 (図3) は、抵抗性アッテネータを含み、これにおいて、直列の抵抗器が、グランドに接続したゲート電極を有するPチャンネルMOSFET (28-1, 2, ..., 9) であり、並列抵抗器 (29-1, 2, ..., 10) が、PチャンネルMOSFET であってスイッチとしても機能するものである。制御回路 (図2の8B) は、利得制御信号 ( $V_{cc}$ ) に応答して、並列抵抗器MOSFETのゲート電極に複数の連続的に制御信号 ( $V_1, 2, ..., 10$ ) を発生する。



**【特許請求の範囲】****【請求項1】**

対数アッテネータ回路であって、

(a) 抵抗性アッテネータであって、

i. 入力導体および出力導体と、

ii. 前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、

iii. 複数の並列の抵抗性エレメントであって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第1の端子を有する、前記の複数の並列の抵抗性エレメントと、  
を含む、前記の抵抗性アッテネータと、

(b) 複数のスイッチング・エレメントであって、前記連続的な接合部と第1の基準電圧導体との間にそれぞれ前記並列抵抗性エレメントを制御可能に結合するよう動作し、各スイッチング・エレメントが制御端子を有する、前記の複数のスイッチング・エレメントと、

(c) 制御回路であって、利得制御信号が第1の値から第2の値に線形に変化することに応答して、連続的なスイッチの前記制御端子に、複数の連続的に増大しそして次に平らになる制御信号を発生する、前記の制御回路と、  
から成る対数アッテネータ回路。

**【請求項2】**

請求項1記載の対数アッテネータ回路において、各々の直列抵抗性エレメントは、第2の基準電圧導体に接続したゲートを有するMOSFETを含むこと、を特徴とする対数アッテネータ回路。

**【請求項3】**

請求項1記載の対数アッテネータ回路において、各並列抵抗性エレメントは、対応する接合部と前記第1基準電圧導体との間に前記並列抵抗性エレメントを結合する前記スイッチング・エレメントとしても機能するMOSFET内のチャンネル領域を含むこと、を特徴とする対数アッテネータ回路。

**【請求項4】**

請求項2記載の対数アッテネータ回路において、各並列抵抗性エレメントは、対応する接合部と前記第1基準電圧導体との間に前記並列抵抗性エレメントを結合する前記スイッチング・エレメントとしても機能するMOSFET内のチャンネル領域を含むこと、を特徴とする対数アッテネータ回路。

【請求項5】

請求項1記載の対数アッテネータ回路において、前記制御回路は、複数の差動増幅器であって各々が利得制御導体9上に利得制御信号を受けるように結合した第1の入力とそして第2の入力とを有する前記の複数の差動増幅器と、複数の連続的なしきい値電圧であって各々が先行するしきい値電圧よりもより大なる大きさを有する前記の複数の連続的なしきい値電圧を発生する回路と、を含み、前記第2入力、前記複数のしきい値電圧をそれぞれ受けるように結合していること、を特徴とする対数アッテネータ回路。

【請求項6】

請求項4記載の対数アッテネータ回路において、前記制御回路は、複数の差動増幅器であって、各々が利得制御導体9上に利得制御信号を受けるように結合した第1の入力とそして第2の入力とを有する前記の複数の差動増幅器と、複数の連続的なしきい値電圧であって各々が先行するしきい値電圧よりもより大なる大きさを有する前記の複数の連続的なしきい値電圧を発生する回路と、を含み、前記第2入力、前記複数のしきい値電圧をそれぞれ受けるように結合していること、を特徴とする対数アッテネータ回路。

【請求項7】

請求項6記載の対数アッテネータ回路において、各差動増幅器は、出力段バイアス制御回路を含み、該回路は、当該差動増幅器の出力を、前記利得制御電圧の大きさが前記差動増幅器の前記第2入力に印加された前記しきい値電圧の大きさよりも小さいかあるいはこれに等しい場合に、並列抵抗性エレメントとしておよびスイッチング・エレメントとして機能するMOSFETのしきい値電圧におよそ等しい電圧に維持すること、を特徴とする対数アッテネータ回路。

【請求項8】

請求項4記載の対数アッテネータ回路において、前記MOSFETは全て、P

チャンネルMOSFETであって、その各々は、そのソース電極がそのボディ電極に接続したこと、を特徴とする対数アッテネータ回路。

【請求項9】

対数利得回路であって、

(a) 抵抗性アッテネータであって、

i. 入力導体および出力導体と、

ii. 前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、

iii. 複数の並列の抵抗性エレメントであって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第1の端子を有する、前記の複数の並列の抵抗性エレメントと、  
を含む、前記の抵抗性アッテネータと、

(b) 複数のスイッチング・エレメントであって、前記連続的な接合部と第1の基準電圧導体との間にそれぞれ前記並列抵抗性エレメントを制御可能に電氣的に結合するよう動作し、各スイッチング・エレメントが制御端子を有する、前記の複数のスイッチング・エレメントと、

(c) 制御回路であって、利得制御信号が第1の値から第2の値に線形に変化することに応答して、連続的なスイッチの前記制御端子に、複数の連続的な制御信号をそれぞれ発生し、各制御信号の大きさが、増大しそして次に所定の値で平らになる、前記の制御回路と、  
から成る対数利得回路。

【請求項10】

対数利得回路であって、

(a) 抵抗性アッテネータであって、

i. 入力導体および出力導体と、

ii. 前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、

iii. 複数の並列の抵抗性エレメントであって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第1の端子を有

し、前記並列抵抗性エレメントの各々が、これの抵抗値を制御するよう動作する制御端子を有する電氣的に制御可能な抵抗性エレメントを含み、前記並列抵抗性エレメントの各々が共通導体に結合した第2の端子を含む、前記の複数の並列の抵抗性エレメントと、

を含む、前記の抵抗性アッテネータと、

(b) 制御回路であって、利得制御信号が第1の値から第2の値に線形に変化することに対応して、連続的な電氣的に制御可能な抵抗性エレメントの前記制御端子に、複数の連続的な部分線形の制御信号をそれぞれ発生する、前記の制御回路と、

から成る対数利得回路。

【請求項11】

対数増幅器であって、

(a) 反転入力と、非反転入力と、出力とを有する演算増幅器と、

(b) 該演算増幅器の前記出力に結合した入力と、前記演算増幅器の前記反転入力に結合した出力とを有する対数アッテネータであって、

(1) 抵抗性アッテネータであって、

i. 入力導体および出力導体と、

i i. 前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、

i i i. 複数の並列の抵抗性エレメントであって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第1の端子を有し、前記並列抵抗性エレメントの各々が、これの抵抗値を制御するよう動作する制御端子を有する電氣的に制御可能な抵抗性エレメントを含み、前記並列抵抗性エレメントの各々が共通導体に結合した第2の端子を含む、前記の複数の並列の抵抗性エレメントと、

を含む、前記の抵抗性アッテネータと、

(2) 制御回路であって、利得制御信号が第1の値から第2の値に線形に変化することに対応して、連続的な電氣的に制御可能な抵抗性エレメントの前記制御端子に、複数の連続的な部分線形の制御信号をそれぞれ発生する、前記の制

御回路と、  
を含む、前記の対数アッテネータと、  
から成る対数増幅器。

【請求項 12】

対数利得を提供するように回路を作動する回路作動方法であって、

(a) 抵抗性アッテネータを提供するステップであって、該抵抗性アッテネータが、入力導体および出力導体と、前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、複数の並列の抵抗性エレメントであって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第 1 の端子を有し、前記並列抵抗性エレメントの各々が、これの抵抗値を制御するよう動作する制御端子を有する電氣的に制御可能な抵抗性エレメントを含み、前記並列抵抗性エレメントの各々が共通導体に結合した第 2 の端子を含む、前記の複数の並列の抵抗性エレメントと、を含む、前記のステップと、

(b) 複数の連続的な部分線形の制御信号を、連続的な電氣的に制御可能な抵抗性エレメントの前記制御端子にそれぞれ発生するステップと、  
から成る回路作動方法。

【請求項 13】

請求項 12 記載の方法において、ステップ (b) は、利得制御信号が第 1 の値から第 2 の値に線形に変化することに応答して、前記複数の連続的な部分線形の制御信号を発生すること、を含むことを特徴とする回路作動方法。

## 【発明の詳細な説明】

## 【0001】

## (発明の背景)

本発明は、可変利得の対数アッテネータ／増幅器に関し、より詳細には、従来技術のものと比べより精密に線形のこのようなデバイス、また、従来技術のデバイスと比べCMOS技術を使ってより一層容易に実現できるこのようなデバイスに関するものである。

## 【0002】

最も近い従来技術は、1991年12月31日発行の“アナログ信号により制御されかつ大きなダイナミックレンジをもつ可変利得増幅器 (VARIABLE-GAIN AMPLIFIER CONTROLLED BY AN ANALOG SIGNAL AND HAVING A LARGE DYNAMIC RANGE)”と題する米国特許5,077,541号と、1995年7月11日発行の“線形補間回路 (LINEAR INTERPOLATION CIRCUIT)”と題する米国特許5,432,478号とに記載されており、これらは両方とも、ギルバート (Gilbert) によるものであって、アナログ・デバイセス社に譲渡されている。

## 【0003】

ギルバートの'541特許は、可変利得増幅器を開示しており、これは、フィードバック回路網として、ラダー・アッテネータ回路22を備え、これは多数の“タップ”点を有しており、そしてこれらは、入力として、10個の“ $g_m$ 段”36の+入力に印加され、そしてそれらの出力は、この可変利得増幅器の出力信号を発生するため差動増幅器28に接続している。“掃引”された制御信号は、利得制御回路30の導体32と34との間に印加し、そして利得制御回路30は、10個のトランジスタ40と、9個のベース抵抗器 $R_s$ と、8個の定電流源 $I$ とを備えている。この利得制御回路は、實際上、10個の“セグメント”を備え、これらの各々は、制御可能なバイアス電流を対応する $g_m$ 段に供給する。可変利得増幅器の利得範囲は、連続したセグメントに部分分割されていると見ることができ、そしてそのセグメントは、減衰ラダーの対応するノードに接続したそれ自身の $g_m$ 段を有している。 $V_{CONTROL}$ 電圧を利得制御回路30に印加することは、さらに、各セグメント増幅器の活性化を、この段のトランスコンダクタンスを増加

させそして次に減少させることにより行う。トランスコンダクタンスのこの増加および減少をさせることは、互いに隣接する  $g_m$  段において、連続してオーバーラップする形式で発生して、全体の利得がスムーズな減少を提供するようにする。このアッテネータの有効な“タップ”点は、後者の回路の各ノード間で利得制御回路30が連続的に補間すると言える。

#### 【0004】

ギルバートの'478特許は、ギルバートの先の'541特許の対数アッテネータを、その制御信号をその範囲全体に渡って掃引するときに、複数のオーバーラップする指数関数的に変化する電流を発生するものとして言及している。この電流波形における非線形性は、制御信号の関数として  $g_m$  段において非線形の利得を発生する。しかし、ギルバートは、多くの用途においては、ギルバートの先の回路において得られるものよりもより線形の電流波形が要求される、ということを認めている。ギルバートは、ギルバートの'541特許における補間回路30に起因すると考えている線形性問題について、かなり異なった補間回路16を提供することにより解決することを提案しており、その補間回路は、5つのセクションまたは“脚部”と、このような脚部間に接続した4対の並列接続対の分流ダイオードとを含んでいる。例えば、1つの脚部は、定電流源  $I_1$  と、直列接続したダイオード  $D_1$  を備え、これに隣接の脚部は、電流源  $I_2$  と直列接続のダイオード  $D_2$  を備え、そして分流ダイオードは、導体36と38との間に接続した並列接続のダイオード  $D_2$ 、1と  $D_1$ 、2とを備えている。導体36はまた、出力トランジスタ  $Q_1$  に接続し、そしてこのトランジスタは、バイアス電流  $I_A$  を発生し、そしてこれは、実際には、対応するトランスコンダクタンス増幅器14Aを“イネーブル”しそしてそのトランスコンダクタンスを制御する。'478特許の図1を見ると、これにおいて、トランスコンダクタンス増幅器14Aは、'541特許の図1の第1トランスコンダクタンス増幅器36と類似している。'478特許の補間回路16の制御ノード28および30は、電流源32および34にそれぞれ接続し、そしてこれらは、ダイオード  $D_1 - D_5$  を介してコンプリメンタリ電流を“要求 (demand)”し、したがって制御信号がそのフルの範囲で“掃引”されるとき、制御ノード28と30との間に供給される制御信号の部分線形関数とされるべき出



力電流  $I_{A, B, E}$  を“要求”する。'478特許の図5A-Eおよび図6は、補間回路16の部分線形の振る舞いを示しており、これは、ギルバートの'541特許のそれ程線形でない回路に対する改良を構成するものである。

#### 【0005】

ギルバートの'541特許および'478特許に開示された対数増幅器は、バイポーラ集積回路構造における実現においては満足に動作するが、これらは、CMOS集積回路構造による実現にも適したものではない。これの1つの理由は、ギルバートの'541特許および'478特許に開示された対数アッテネータが、演算増幅器のフィードバック・ループ内に配置されており、したがってギルバートにより開示されたこれら回路がCMOS技術において実現するとした場合には、その帯域幅がこのコンフィギュレーションにより低減してしまうことになる。

#### 【0006】

さらに、ギルバートの'541特許および'478特許に開示されたアッテネータ回路は、明らかに、単純なアッテネータとして使用できない、すなわち、これらは、増幅器のフィードバック・コンポーネントとして利用しなければならない。

#### 【0007】

したがって、増幅器のフィードバック・コンポーネントとしてではなく、単純なアッテネータとして利用することができる対数アッテネータ回路を提供することが望ましい。また、ギルバートの'541特許および'478特許に開示された対数増幅器とは異なり、CMOS技術を使用して集積回路においてより一層容易に実現できる対数アッテネータ回路を提供することも望ましい。

#### 【0008】

##### (発明の摘要)

したがって、本発明の目的は、低コストの対数アッテネータあるいは対数増幅器を提供することである。

#### 【0009】

本発明の別の目的は、CMOS技術を使って集積回路として容易に実現できる対数アッテネータまたは対数増幅器を提供することである。

本発明の別の目的は、高度に線形の集積回路対数増幅器を提供することである

## 【0010】

本発明の別の目的は、デシベル（dB）における利得が利得制御信号の線形の関数となった増幅を提供するための低コストで高度に正確なシステムを提供することである。

## 【0011】

本発明の別の目的は、利得回路を組み込んだ集積回路構造の基板において発生するあるいはこれに印加される電源電圧により発生するコモンモード・ノイズのようなノイズの影響を低減する低コストの対数利得回路を提供することである。

## 【0012】

簡単に説明すると、本発明の1実施形態によれば、本発明は、対数利得を得る技術を提供し、これは、抵抗性アッテネータ（8A）を提供するステップであって、該抵抗性アッテネータが、入力導体（7）および出力導体（10）と、前記入力導体（7A）と前記出力導体（10A）との間に直列に接続した複数の直列の抵抗性エレメント（28）と、複数の並列の抵抗性エレメント（29）であって、その各々が、前記種々の直列抵抗性エレメント（28）間の連続的な接合部にそれぞれ接続した第1の端子を有し、前記並列抵抗性エレメントの各々が、これの抵抗値を制御するよう動作する制御端子を有する電氣的に制御可能な抵抗性エレメントを含み、前記並列抵抗性エレメントの各々が共通導体に結合した第2の端子を含む、前記の複数の並列の抵抗性エレメントと、を含む、前記のステップと、および複数の連続的な部分線形の制御信号（V<sub>1</sub>, 2, , , 10）を、連続的な電氣的に制御可能な抵抗性エレメントの前記制御端子に発生するステップと、により行う。前記複数の連続的な部分線形の制御信号は、利得制御信号（V<sub>gc</sub>）が第1の値から第2の値に線形に変化することに応答して発生する。1つの記述実施形態においては、対数増幅器は、反転入力と、非反転入力と、出力とを有する演算増幅器と、該演算増幅器の前記出力に結合した入力と、前記演算増幅器の前記反転入力に結合した出力とを有する対数アッテネータであって、抵抗性アッテネータ（8A）であって、入力導体（7）および出力導体（10）と、前記入力導体（7A）と前記出力導体（10A）との間に直列に接続した複数の直

列の抵抗性エレメント (28) と、複数の並列の抵抗性エレメント (29) であって、その各々が、前記種々の直列抵抗性エレメント (28) 間の連続的な接合部にそれぞれ接続した第1の端子を有し、前記並列抵抗性エレメントの各々が、これの抵抗値を制御するよう動作する制御端子を有する電氣的に制御可能な抵抗性エレメントを含み、前記並列抵抗性エレメントの各々が共通導体に結合した第2の端子を含む、前記の複数の並列の抵抗性エレメント (29) と、を含む、前記の抵抗性アッテネータ (8A) と、制御回路 (8B) であって、利得制御信号 ( $V_{gc}$ ) が第1の値から第2の値に線形に変化することに対応して、連続的な電氣的に制御可能な抵抗性エレメントの前記制御端子に、複数の連続的な部分線形の制御信号 ( $V_1, 2, \dots, 10$ ) を発生する、前記の制御回路 (8B) と、を含む、前記の対数アッテネータと、から成る。別の記述実施形態においては、対数アッテネータ回路 (8) は、抵抗性アッテネータ (8A) であって、入力導体 (7) および出力導体 (10) と、前記入力導体 (7A) と前記出力導体 (10A) との間に直列に接続した複数の直列の抵抗性エレメント (28) と、複数の並列の抵抗性エレメント (29) であって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第1の端子を有する、前記の複数の並列の抵抗性エレメント (29) と、を含む、前記の抵抗性アッテネータと、複数のスイッチング・エレメント (28) であって、前記連続的な接合部と第1の基準電圧導体 (40) との間にそれぞれ前記並列抵抗性エレメント (29) を制御可能に結合するよう動作し、各スイッチング・エレメントが制御端子を有する前記の複数のスイッチング・エレメント (28) と、制御回路 (8B) であって、利得制御信号 ( $V_{gc}$ ) が第1の値から第2の値に線形に変化することに対応して、連続的なスイッチの前記制御端子に、複数の連続的に増大しそして次に平らになる制御信号 ( $V_1, 2, \dots, 10$ ) を発生する、前記の制御回路 (8B) と、から成る。各々の直列抵抗性エレメントは、第2の基準電圧導体 (GND) に接続したゲートを有するMOSFETを含む。各並列抵抗性エレメントは、対応する接合部と前記第1基準電圧導体との間の前記並列抵抗性エレメントを結合する前記スイッチング・エレメントとしても機能するMOSFET内のチャンネル領域を含む。前記制御回路 (8B) は、複数の差動増幅器 (21) であ

って各々が利得制御導体9上に利得制御信号( $V_{gc}$ )を受けるように結合した第1の入力とそして第2の入力とを有する前記の複数の差動増幅器と、複数の連続的なしきい値電圧であって各々が先行するしきい値電圧よりもより大なる大きさを有する前記の複数の連続的なしきい値電圧( $V_{T1,2,\dots,10}$ )を発生する回路(60)と、を含み、前記第2入力、前記複数のしきい値電圧をそれぞれ受けるように結合している。

### 【0013】

(好ましい実施形態の詳細な説明)

明確にするため、本文で使用する用語“対数アッテネータ”と用語“対数増幅器”は、アッテネータまたは増幅器の利得が、これに印加される利得制御入力信号に関して対数となることを意味する。別の言い方をすれば、デシベルで表現した利得が、利得制御信号の線形の関数となるものである。また、明確にするため、本文で使用する用語“利得”は、入力信号に対する出力信号の比を指すものとしてことができ、これにおいて、このような利得の大きさは、1よりも大きなあるいは1よりも小さなもののいずれかとしてことができ、したがってこの用語は、アッテネータあるいは増幅器のいずれにも適用することができる。さらに明確にするため、MOSFET(金属酸化物半導体電界効果トランジスタ)は、電圧制御式のスイッチおよび電圧制御式の抵抗器のいずれか一方あるいはその両方として機能することができ、このため、特定のMOSFETがそのいずれか一方またはその両方として機能することができることを意図している。また、導通のちょうど“エッジ”にバイアスした(これによりそのゲートソース電圧がそのしきい値電圧に等しくなる)MOSFETは、“off”であると考え、そしてそのゲートソース電圧の大きさをそのしきい値電圧より上に増加させたときに、“on”となると考える。

### 【0014】

図1を参照すると、システム1は、CCDイメージング・アレイ3が発生するアナログ出力信号 $V_{IN}$ をデジタル化する。 $V_{IN}$ は、図6に示した波形を有するが、これは、シングルエンデッドのアナログ入力として、相関二重サンプリング回路4の入力導体2に印加する。相関二重サンプリング回路4は、式 $V_{INN} = V_{INN+} - V_{INN-}$

-により表される差分出力を発生する。図1および図2においては、 $V_{INN}$ を運ぶこれら導体は、集合的に番号7で示している。図3および図6においては、 $V_{INN+}$ と $V_{INN-}$ とは差動対数アッテネータ8の入力導体7Aおよび7Bにそれぞれ現れる。図1に示した“ダミー”のフィードバック・クランプ回路5は、導体7Aおよび7Bの内の一方と入力導体2との間に、サンプル／ホールド回路6によって結合することにより、相関二重サンプリング回路4のどのような入力オフセット電圧の補償も行う。

#### 【0015】

差動対数アッテネータ8は、差分出力信号 $V_{OUTT} = V_{OUTT+} - V_{OUTT-}$ を発生する。図1および図2においては、 $V_{OUTT}$ は、集合的に番号10で指示した導体が運ぶものとして示している。図3および図8においては、 $V_{OUTT+}$ は、導体10A上に発生され、そして $V_{OUTT-}$ は、導体10B上に発生されるものとして示している。 $V_{OUTT}$ は、25Xの差動－シングルエンデッド増幅器11の入力に印加する。増幅器11は、そのシングルエンデッドの出力電圧 $V_{OUT}$ を導体12に発生し、そしてこれは、高速の10ビットのアナログ－デジタル変換器15の入力に接続している。アナログ－デジタル変換器15は、10ビット信号出力DIGITAL OUTを発生し、これは、CCDイメージング・アレイ3の各ピクセルに対する入力電圧 $V_{IN}$ を正確に表す。

#### 【0016】

重要なことは、図1のシステムが、CCDイメージング・アレイ3の出力とアナログ－デジタル変換器15のデジタル出力との間の利得または減衰を、対数形式で制御できるようにし、これにより、デシベル(dB)におけるこの減衰または利得が、 $V_{GC}$ に線形に比例するようにする。デシベルにおけるこの利得は、導体9が差動対数アッテネータ8の利得制御入力に印加する利得制御電圧 $V_{GC}$ を調節することにより設定する。

#### 【0017】

“ブラック・フィードバック・クランプ”回路13は、導体12と増幅器11の差分入力との間にサンプル／ホールド回路14によって結合する。これは、その出力を、モニタ上の“ブラック”イメージに対応する信号レベルにクランプす

る機能を果たす。

### 【0018】

図3に示した対数アッテネータ8の抵抗性部分8Aの差動コンフィギュレーションは、信号線形性を向上させるように選択した。このような向上させた線形性が生ずるのは、その差動コンフィギュレーションが、第2高調波歪みをキャンセルする傾向があるからである。また、この差動コンフィギュレーションは、良好なコモンモード・ノイズ・リジェクションを提供する。

### 【0019】

図2を参照すると、差動対数アッテネータ回路8は、カスケード形（すなわち、直列）コンフィギュレーションで接続した10個のアッテネータ・セクション20-1, 2, , , 10を含む抵抗性部分8Aを備えている。（図2のこの10個のアッテネータ・セクション20-1, 2, , , 10は、図3においては括弧により示す）。差動入力信号 $V_{INN} = V_{INN+} - V_{INN-}$ は、図3にも示したように、第1セクション20-1の差動入力7Aと7Bとの間に印加する。差動出力電圧 $V_{OUTT} = V_{OUTT+} - V_{OUTT-}$ は、最後のセクション20-10の出力に、導体10Aと10Bとの間にて発生する。図3を参照すると、差動アッテネータ8Aは、点線内に示した上側部分26Aと、点線内に同じく示した同一の下側部分26Bとを含む。上側部分26Aは、9個の“直列”のPチャンネルMOSFET 28-1, 2, , , 9を直列のコンポーネントとして接続して備えている。この直列のMOSFET 28-1, 2, , , 9と46-1, 2, , , 9の全てのゲート電極は、グラウンドに接続している。10個の“並列”のPチャンネルMOSFET 29-1, 2, , , 10は、直列MOSFET 28-1, 2, , , 9のソース導体とドレイン導体の連続した接合にそれぞれ接続した並列コンポーネントとして接続している。MOSFET 28-1のソースは、導体7Aの $V_{INN+}$ を受ける。入力抵抗器 $R_{IN1}$ は、導体7Aと、2.4ボルトとすることができる $+V_{REF}$ との間に接続する。MOSFET 28-9のドレインは、導体10Aに接続して、これに減衰した出力信号 $V_{OUTT+}$ を発生する。

### 【0020】

同様に、抵抗性差動アッテネータ・セクション8Aの同一の下側部分26Bは

、9個の直列のPチャンネルMOSFET 46-1, 2, , , 9を備え、これらは、図示のように、導体7B上の $V_{INN-}$ と10B上の $V_{OUTT-}$ との間に直列に接続している。また、下側部分26Bは、10個の並列のPチャンネルMOSFET 47-1, 2, , , 10を含み、これらは、図示のように、直列MOSFET 46-1, 2, , , 9のソースとドレインの連続した接合に接続している。抵抗器 $R_{IN1}$ と同一の抵抗器 $R_{IN2}$ は、導体7Bと $+V_{REF}$ との間に接続する。上記MOSFETのジオメトリを選択することにより、これら全てが完全にターンオンしたときに、正確なラダー回路網を形成するようにする。

#### 【0021】

図3に示したPチャンネルMOSFETは全て、それらのN形“ボディ”電極がそれらのソース電極に接続することにより、PチャンネルMOSFETにおけるソース-ボディ逆バイアス電圧を阻止し、そしてこれによって、このようなPチャンネルMOSFETのしきい値電圧に対する非線形の“ボディ効果”を阻止する。(NチャンネルMOSFETを代表的なCMOS集積回路に使用するとした場合には、それらのソースをそれらのボディ電極に接続することは実際的ではない)。

#### 【0022】

さらに図3を参照すると、並列MOSFET 29-1, 2, , , 10と47-1, 2, , , 10の全てのソース電極は、差動増幅器39が発生するコモンモード電圧 $V_{CM}$ を受けるように単一導体40により接続し、その差動増幅器39は、その反転入力が導体40に接続し、その非反転入力、PチャンネルMOSFET 17のドレインと、NチャンネルMOSFET 18のドレインと、抵抗器Rの一方の端子に接続している。抵抗器Rの他方の端子とMOSFET 17のソース電極とは、基準電圧 $V_{REF2}$ に接続し、そしてこの基準電圧は、2.4ボルトとすることができる。MOSFET 18のソースは、NチャンネルMOSFET 19のドレインに接続し、そしてMOSFET 19のソースは、グランドに接続している。 $V_{REF2}$ が3.0ボルトである場合、適当なバイアス電圧 $V_{B1}$ ,  $V_{B2}$ ,  $V_{B3}$  (好ましくは、それぞれおよそ1.5ボルト, 0.8ボルト, 2.0ボルトの値を有する)は、MOSFET 18, 19, 17のそれぞれのゲート電極に印加す

る。MOSFET 17, 18, 19のジオメトリと、抵抗器Rの抵抗を選択することにより、図示のように、セクション20-1, 2, , , 10内の並列MOSFETのゲート電極に印加する部分線形制御電圧 $V_1, V_2, , , V_{10}$ のダイナミックレンジを最適化するコモンモード電圧 $V_{CM}$ の値を提供する。 $V_{CM}$ の適当な値は、1.8ボルトである。

### 【0023】

再び図2を参照すると、“並列”MOSFET 29, 47のゲート電極に印加する“部分線形”制御電圧 $V_1, V_2, , , V_{10}$ は、アッテネータ8の制御部分8B内に含まれる差動増幅器21-1, 2, , , 10のそれぞれの出力に発生する。差動増幅器21-1, 2, , , 10の反転入力は、連続して大きくなるしきい値電圧 $V_{T1, 2, , , 10}$ にそれぞれ接続する。これらしきい値電圧は、図2A内に示した抵抗性分圧回路60により発生する。回路60は、基準電圧 $+V_{REF}$ との間に接続して、等しい直列接続の抵抗器61の各々の両端間におよそ120ミリボルトの等しい電圧を発生する電流を生成する。差動増幅器の各々の非反転入力は、利得制御導体9に接続し、そしてこの導体9には、利得制御電圧 $V_{GC}$ を印加する。

### 【0024】

図4において、番号25で示すカーブは、利得制御電圧 $V_{GC}$ を最初にしきい値電圧 $V_{T1, 2, , , 10}$ に等しくなるように増加させそして次にしきい値電圧 $V_{T1, 2, , , 10}$ をそれぞれ超えるように増加させた時に、部分線形の個々のアッテネータ・セクション制御電圧 $V_1, V_2, , , V_{10}$ の各々がどのようにゼロから $+V_c$ に増加しそして次に $V_c$ ボルトで平らになる (level off) かを示している。図4のカーブ23は、段20-1, 2, , , 10の並列MOSFETが $V_{GC}$ を増加させることによって連続してターンオフするときに、段20-1, 2, , , 10の各々の非対数応答 (デシベル) を示している。このようなアッテネータ・セクション20の各々の利得 (すなわち、減衰) は、その制御電圧 $V_1, 2, , , 10$ がゼロ・ボルトから $+V_c$ ボルト (これは、1.2ボルトとできる) に徐々に増加するときに-3.6 dBから0 dBに増加する。これは、アッテネータ8の全体の利得を、図4のカーブ27が示す複合の対数利得を有するようにし



、これは、0.3ボルトの $V_{GC}$ における-36dBから、 $V_{GC}$ が+2.4ボルトにあるときの0dBまで増加する。個々の差動増幅器出力信号 $V_{1,2}, \dots, 10$  (図4のカーブ25) に応答した個々の利得カーブ $G_{20-1,2}, \dots, 10$  特性のオーバーラップは、概して線形であるがわずかに“波形”になった形であって連続した尖頭27Aをもつものを生じる。

### 【0025】

アッテネータ8が利得制御電圧 $V_{GC}$ に関して対数利得を発生する理由は、おそらく、アッテネータ8の動作原理の以下の説明から良く理解できるはずである。先ず、次の形を有する関数を発生することができる場合、

### 【0026】

【数1】

$$A = R^{(V_{GC}/V_N)},$$

式(1)

### 【0027】

式(1)の対数を取り、その結果生じた式の両側に20を乗算し、そして項を簡単にすると、以下となり、

### 【0028】

【数2】

$$20 \log_{10}(A) = 20 \log_{10}(R) \left( \frac{V_{GC}}{V_N} \right),$$

式(2)

### 【0029】

これは次のように簡単化できる。

### 【0030】

【数3】

$$A(\text{in dB}) = K \cdot V_{GC},$$

式(3)

### 【0031】

ここで、 $K$ は定数である。

次に、その“三極管”または“非飽和”領域においてターンオンしたMOSFETのチャンネル抵抗は、このとき、

【0032】

【数4】

$$R_{ON} = \frac{1}{2\mu C_{ox} (W/L) (V_{SG} - V_T)},$$

式(4)

【0033】

となり、ここで、 $V_{SG}$ はMOSFETのソースーゲート電圧であり、 $V_T$ はそのしきい値電圧であり、 $W$ はそのチャンネル幅であり、 $L$ はそのチャンネル長であり、そして $2\mu C_{ox}$ は定数である。

【0034】

“直列”MOSFET（例えば図3のMOSFET28-1）の抵抗を $R_s$ 、そして対応する“並列”のMOSFET29の抵抗を $R_p$ とすると、これら2つの抵抗器が形成するアッテネータの1つのセクションの減衰 $A_i$ は、次の通りとなる。

【0035】

【数5】

$$A_i = \frac{R_{pi}}{R_{pi} + R_{si}}.$$

式(5)

【0036】

式(4)を式(5)の $R_{pi}$ と $R_{si}$ に代入すると、上側部分26A内のアッテネータ・ステージ20-1, 2, , , 10の各々のセクションに対して以下となる。

【0037】

【数6】

$$A_i = \frac{1}{1 + \left(\frac{W_c}{W_e}\right) \left(\frac{V_{GSd} - V_T}{V_{SGs} - V_T}\right)}$$

式(6)

【0038】

アッテネータ8Aの10個のカスケード形セクション20-1, 2, , , 10の総合利得(減衰)は、MOSFETの全てが同時にターンオンした状態では、ある数式で提供できるが、この式は、複合アッテネータ利得を利得制御電圧 $V_{gc}$ (これは、式(6)における $V_{SGp}$ に等しい)の線形関数としてデシベルで表現できるようにする対数関数ではない。

【0039】

しかし、本発明によれば、並列MOSFET29-1, 2, , , 10を周期的に順番にターンオンし、しかも以降のものを連続的にターンオンするときにオンにしたままにすると(図4の差動増幅器出力カーブ25により示す)、アッテネータ8Aのこの“サンプル”した複合利得は、以下の形を有するものとして考えることができる。

【0040】

【数7】

$$A_{\text{COMPOSITE}} = A_i^{(N1 \cdot N2 \cdot \dots \cdot N10)}$$

式(7)

【0041】

式(7)内に示した指数は、式(1)内に示した線形指数の“サンプル”したバージョンとして考えることができる。これは、ステップ形でD/A変換器のステップ状伝達特性に類似して見える減衰制御関数をもたらす。真の線形対数特性へのより近い近似は、アッテネータ・セクションの数を増やせば得ることができる。並列MOSFETの各々のゲートに対し、ステップ状の変動を提供するのではなく利得制御信号 $V_{gc}$ と線形に変化するような方法で電圧を提供することは、減衰制御特性の平滑化をもたらす、そしてしきい値電圧 $V_{T1}, 2, , , 10$ を図示

のように離間させることによって差動増幅器出力電圧 $V_1, V_2, \dots, V_{10}$ の各々が次のものにオーバーラップするようにすれば、図4に示した上述の線形特性カーブ27をもたらす。

#### 【0042】

差動増幅器21-1, 2, , , 10のコンフィギュレーションは、かなり在来設計のものであって、図5に示す。図5の差動増幅器21は、第1の差動段を有し、これは、図示のように、PチャンネルMOSFET P1, P2と、 $+V_{DD}$ とMOSFET P1, P2のソースとの間に結合したPチャンネル電流源MOSFET P3, P4と、入力MOSFET P1, P2の入力のドレインとグラウンドとの間に接続した負荷抵抗器R2, R3とを備えている。抵抗器R1は、MOSFET P1とP2のソース間に結合することにより、差動増幅器21の利得を設定する機能を実行する。およそ2.0ボルトのバイアス電圧 $V_B$ は、電流源MOSFET P3, P4のゲート電極に印加することにより、所望のバイアス電流を提供する。 $V_{I1}$ は、MOSFET P1のゲートに接続した差動増幅器21の反転(-)入力に印加する図2のしきい値電圧 $V_{T1, 2, \dots, 10}$ の内の任意のものとしてすることができる。利得制御電圧 $V_{Gc}$ は、MOSFET P2のゲートに接続した(+)入力に印加する。

#### 【0043】

差動増幅器21の第2の差動段は、Pチャンネル入力MOSFET P7, P8を備える。この第2差動段は、第1差動段と同一のコンフィギュレーションを有しており、電流源PチャンネルMOSFET P9, P10を、導体51上の電圧によりバイアスして、必要なバイアス電流を提供する。負荷抵抗器R5, R6は、グラウンドと入力MOSFET P7, P8のそれぞれのドレイン電極との間に結合する。シングルエンデッド出力電圧 $V_i$ は、出力導体50上に発生し、この導体は、抵抗器R6をMOSFET P8のドレインに接続する。MOSFET P7のゲートは、導体49により、MOSFET P2のドレインと負荷抵抗器R3との接合部に接続する。MOSFET P8のゲートは、導体48により、MOSFET P1のドレインと負荷抵抗器R2との接合部に接続する。キャパシタC5, C6は、グラウンドと第1段出力導体48, 49のそれぞれとの間

に接続することにより、差動増幅器21の帯域幅を制限する。

#### 【0044】

バイアス回路58は、差動増幅器41、42と、PチャンネルMOSFET52と、NチャンネルMOSFET53と、抵抗器43、44、45とを備え、これは、導体51にバイアス電圧を発生し、これは、対数アッテネータ8をその上に形成する集積回路のPチャンネルMOSFETのしきい値電圧 $V_{TP}$ の関数として変化する。

#### 【0045】

差動増幅器の各々の動作は、その出力電圧 $V_i$ が、並列MOSFET29-i、47-iの両方を、 $V_{GS}$ がその差動増幅器に印加されるしきい値電圧 $V_{Ti}$ を超えた後、ちょうどその導通エッジに維持する。 $V_{GC}$ が増加してそのしきい値電圧を過ぎるまで、図4のカーブ25により示したカーブ $V_1, 2, \dots, 10$ で示すように、出力 $V_i$ は、線形に増加する。

#### 【0046】

図6は、図1の在来の相関二重サンプラ回路4を示しており、これは、CCDアレイ3が発生する $V_{IN}$ 信号における累積ノイズの影響を除去するのに使用する。信号 $V_{IN}$ は、CCDアレイ3の各ピクセルに関して、リセット・パルス54を含み、これは、“ゼロ”レベル56より上に上昇し、そして“基準”インターバルの間レベル55に落ちる。レベル56は、“ゼロ”レベル56よりも上であつたりあるいは下であつたりすることがあり、そしてこれはノイズを構成するが、それは、CCDアレイ3の各ピクセルが他のものとわずかに異なっているからである。この差は、それ自身、相関二重サンプラ回路4の入力に印加される出力電圧 $V_{IN}$ におけるノイズとして現れる。各ピクセルに関する $V_{IN}$ 信号はまた、負のパルス57を含み、これは、データ情報と、レベル55が表すその同じ（すなわち、“相関”した）ノイズとを足したものを含む。図6のこの相関二重サンプラ回路は、レベル55とレベル57の両方をサンプルするよう動作し、そして出力信号 $V_{INN} = V_{INN+} - V_{INN-}$ を発生し、これは、レベル55が表すノイズをキャンセルし、そしてまた、シングルエンデッド入力信号 $V_{IN}$ を共通モード電圧 $V_{CM}$ を中心とする差分信号に変換する。図1のダミー・フィードバック・クランプ回

路5は、図6の差動増幅器33のどのような入力オフセット電圧の影響も除去するのに使用し、これによって、図1の増幅器11が、相関二重サンプリング回路4に関連した入力オフセット電圧を“ゲイン・アップ”するのを阻止する。 $V_{IN}$ 波形のレベル55の間、信号をMOSFET6Aのゲートに印加して、それをターンオンすることによってレベル55をサンプルするようにする。レベル57の間、信号をMOSFET31および6Bのゲートに印加して、それらをターンオンすることにより、レベル57のサンプリングを達成するようにする。図7は、図6に示した差動増幅器33の回路図である。

#### 【0047】

図8は、図1の在来の差動—シングルエンデッド増幅器11を示しており、これは、導体10A、10Bに差動入力信号 $V_{OUT1+}$ 、 $V_{OUT1-}$ を受けて、シングルエンデッド出力電圧 $V_{OUT}$ を導体12に発生する。

#### 【0048】

図9は、対数アッテネータ8の重要な実際の応用を示しており、これは、演算増幅器63の出力と反転入力との間のフィードバック・エレメントとして接続して、対数増幅器62を提供する。

#### 【0049】

図10は、対数アッテネータ67の代替実施形態であり、これにおいては、直列の抵抗性エレメント64-1, 2, , , Nを抵抗器として示しているが、ただし、これらは、図3に示したとおり抵抗器としてバイアスしたMOSFETとすることができる。並列の抵抗性エレメント65-1, 2, , , Nもまた、直列抵抗性エレメントの種々の接合部と基準電圧導体との間に結合した抵抗器として示している。複数のPチャンネルMOSFET66-1, 2, , , Nは、出力導体10と、直列抵抗性エレメント64-1, 2, , , Nのそれぞれの連続した接合ノードとの間に接続している。この抵抗性アッテネータ構造67は図3のアッテネータ構造と同じほど線形ではないが、それにも拘わらずこれは、MOSFET66-1, 2, , , Nのゲート電極を図3の制御回路により駆動すれば、対数利得特性を有することになる。

#### 【0050】

同様に、図11に示した別のアッテネータ構造68は、同様に、図3に示したアッテネータ構造ほど線形ではないが、これは、MOSFET70-1, 2, , , Nのゲート電極を図3の制御回路8Bで駆動すれば、対数利得特性を有することになる。図11において、MOSFETスイッチ70-1, 2, , , Nの各々は、対応の直列抵抗性エレメント64-1, 2, , , Nの両端間に結合する。

#### 【0051】

以上、本発明についていくつかの特定の実施形態で説明したが、当業者であれば、本発明の記述した実施形態に対し、本発明の要旨および範囲から逸脱せずに種々の変更を行うことができる。特許請求の範囲に記載したものと非実質的に異なったあるいは実質的に同じ機能を、実質的に同じ方法でそして同じ結果を実現するあらゆるエレメントおよびステップは、本発明の範囲内にあると、意図している。

#### 【0052】

例えば、図10および図11に示したアッテネータにおいては、ギルバート (Gilbert) の'541および'478特許と概して同じ方法で、抵抗性アッテネータ回路の各段に対して、電圧 $V_1$ ,  $V_2$ , , ,  $V_N$ が、ゼロから $+V_c$ ボルトに増加し、 $V_c$ ボルトで平らになり、そして次に $V_c$ ボルトからゼロ・ボルトに減少させると、対数の複合の伝達関数を実現されることになる。しかし、図3に示した通りにCMOSスイッチを提供することは、抵抗性アッテネータ回路の同じ数の段に対しより大きな線形性を提供する。

#### 【図面の簡単な説明】

##### 【図1】

図1は、CCDイメージング・デバイスが発生するデータをデジタル化するための、対数アッテネータを含むシステムのブロック図。

##### 【図2】

図2は、図1のブロック8の対数アッテネータの詳細なブロック図。

##### 【図2A】

図2Aは、図2に示した電圧 $V_{1,2,...,10}$ を発生するための回路の回路図。

##### 【図3】

図3は、図2のブロック8内に示した対数アッテネータの抵抗性部分8Aの回路図。

【図4】

図4は、図2および図3の対数アッテネータについて、個々のアッテネータ段のデシベルにおける利得と、アッテネータ全体の利得とを、利得制御入力電圧の関数として示す図。

【図5】

図5は、図2に示した差動増幅器21の内の1つの回路図。

【図6】

図6は、図1の相関二重サンプリング回路4の回路図。

【図7】

図7は、図6の図内の差動増幅器33の回路図。

【図8】

図8は、図1の増幅器11の回路図。

【図9】

図9は、本発明の対数増幅器の実施形態のブロック図。

【図10】

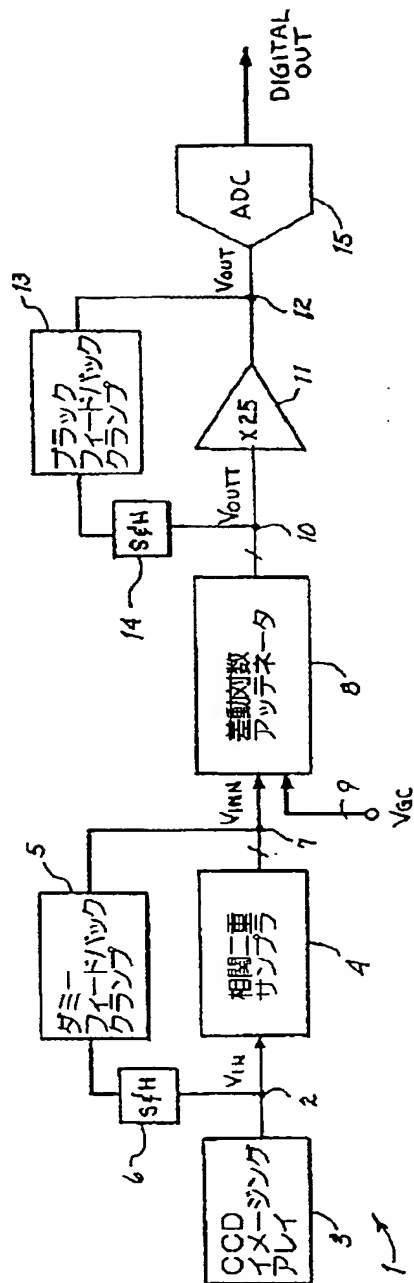
図10は、本発明の代替の対数アッテネータ構造の回路図。

【図11】

図11は、本発明の代替の対数アッテネータ構造の回路図。

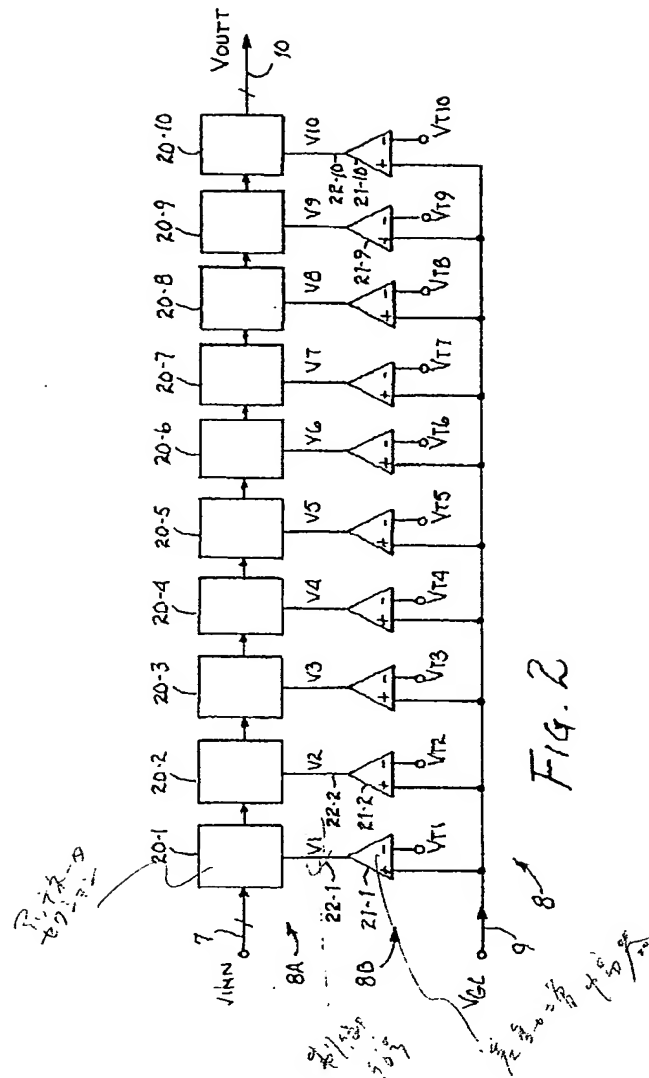


【図1】

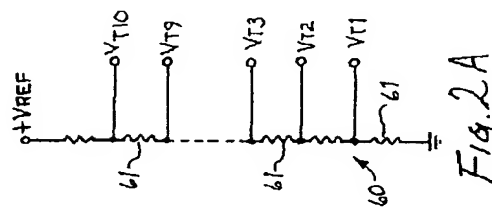


【Fig. 1】

【図 2】



【図 2 A】



【図3】

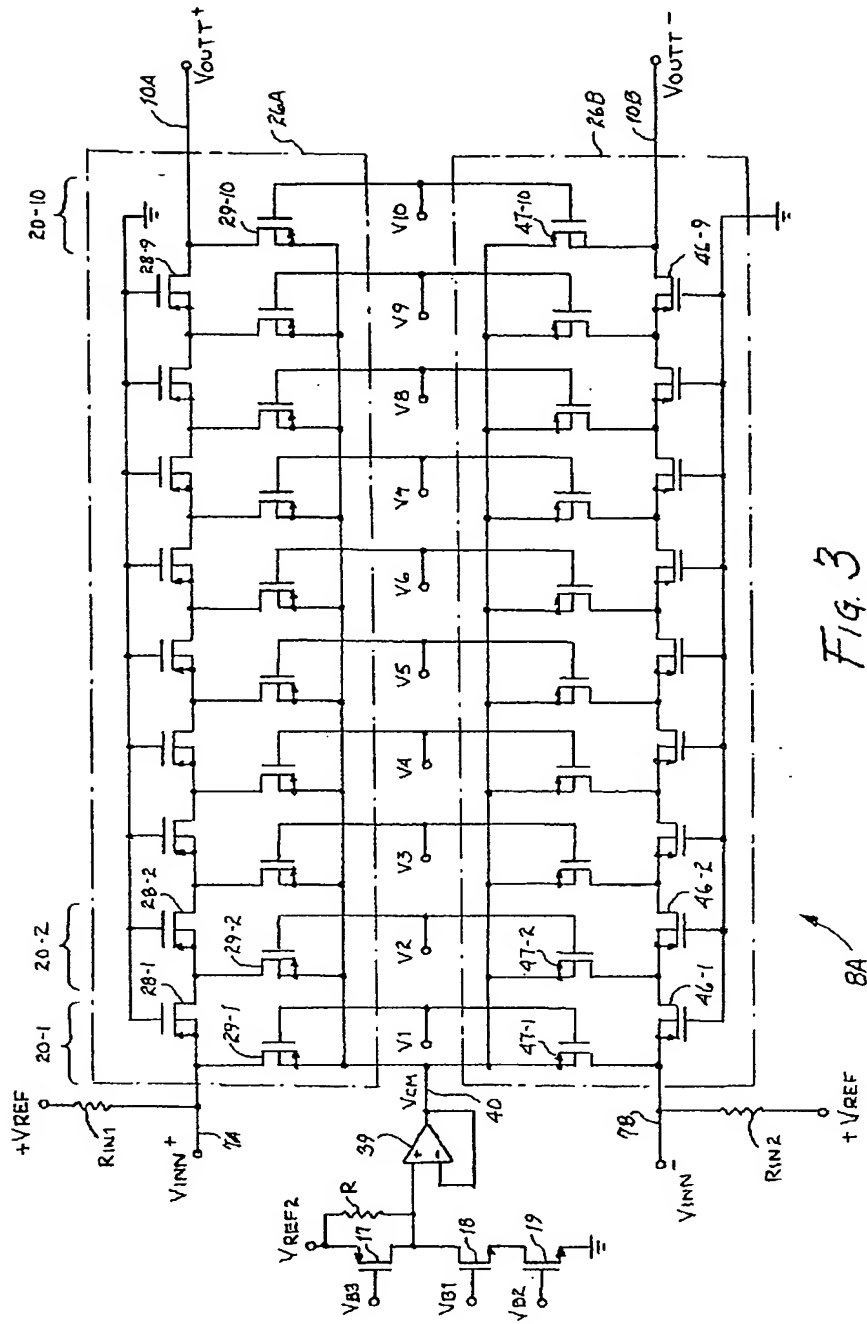
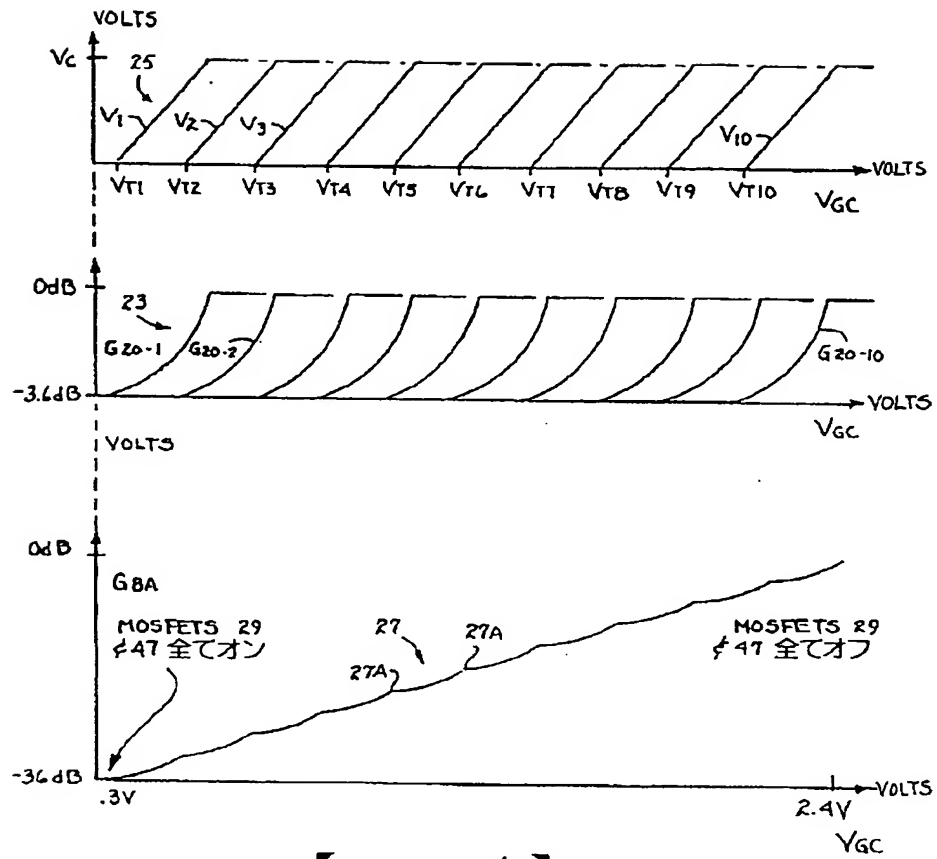


Fig. 3

8A

【図 4】



【 Fig. 4 】

【図 5】

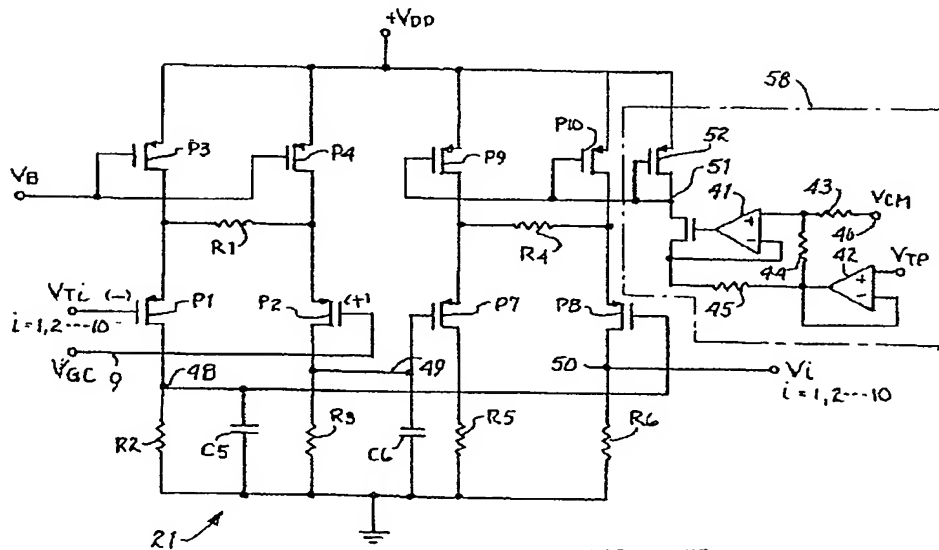
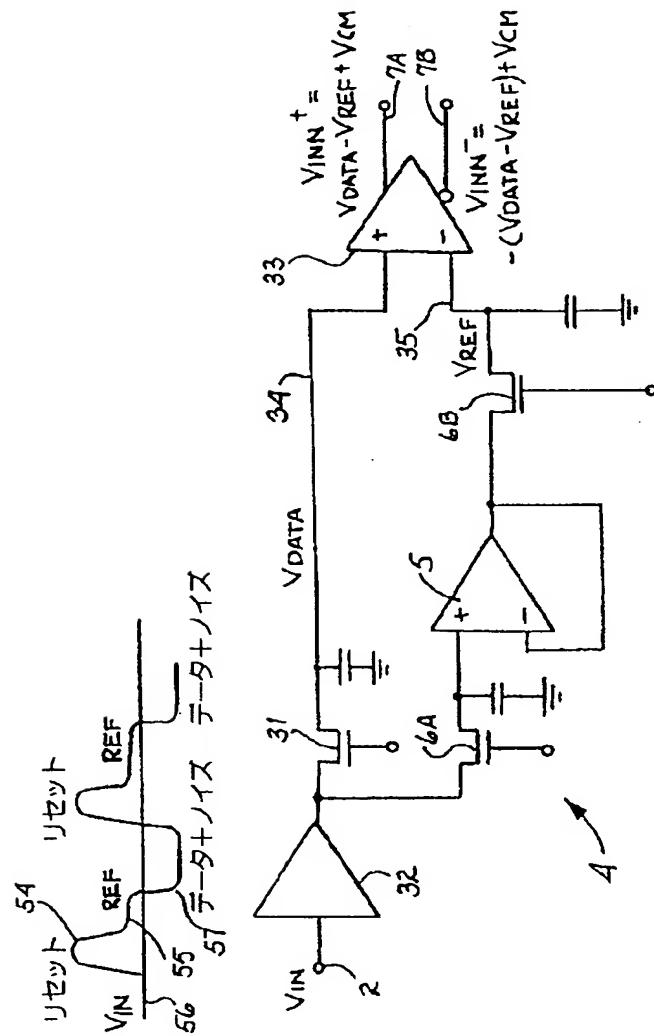


Fig. 5

【図6】

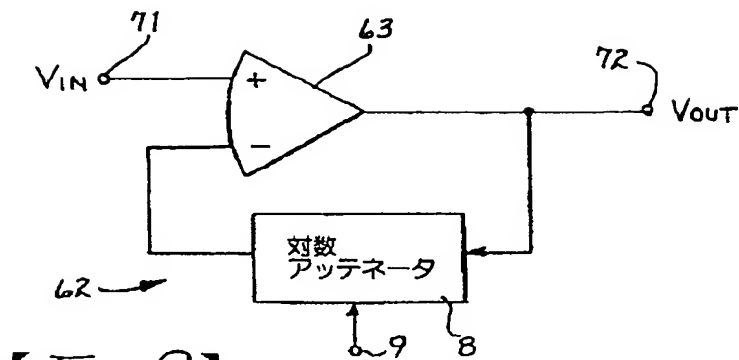


【Fig. 6】

The diagram shows a differential amplifier circuit. It consists of two input stages, each represented by an operational amplifier (op-amp) configured as a voltage follower. The top input stage has its non-inverting input (+) connected to  $V_{OUTT}^+$  (labeled +10A) and its inverting input (-) connected to a resistor network. The bottom input stage has its non-inverting input (+) connected to  $V_{OUTT}^-$  (labeled 10B) and its inverting input (-) connected to a similar resistor network. The outputs of these two stages are connected to a common output stage, which is another op-amp configured as a voltage follower. The output of this stage is  $V_{OUT}$  (labeled 12). The circuit includes several resistors and a ground connection.

- 30 -

【図9】



【Fig. 9】

【図10】

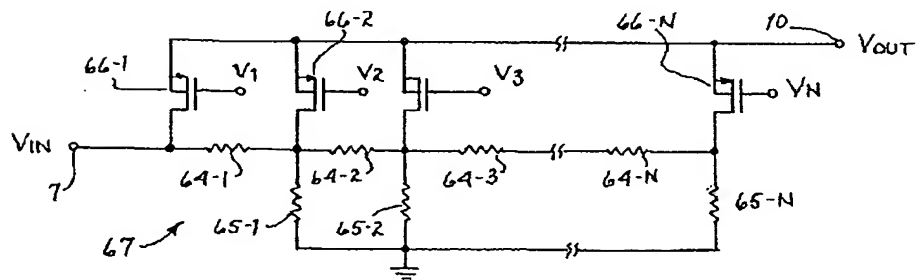


Fig. 10

【図11】

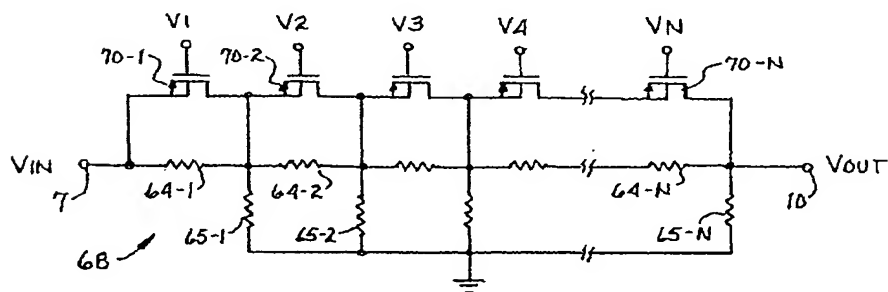


Fig. 11

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年3月31日(2000. 3. 31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】

対数アッテネータ回路であって、

(a) 抵抗性アッテネータであって、

i. 入力導体および出力導体と、

ii. 前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、

iii. 複数の並列の抵抗性エレメントであって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第1の端子を有する、前記の複数の並列の抵抗性エレメントと、  
を含む、前記の抵抗性アッテネータと、

(b) 複数のスイッチング・エレメントであって、前記連続的な接合部と第1の基準電圧導体との間にそれぞれ前記並列抵抗性エレメントを制御可能に結合するよう動作し、各スイッチング・エレメントが制御端子を有する、前記の複数のスイッチング・エレメントと、

(c) 制御回路であって、アナログの利得制御信号が第1の値から第2の値に徐々に線形に変化することに応答して、連続的なスイッチング・エレメントの前記制御端子に、複数の連続的に徐々に増大しそして次に平らになるアナログの制御信号を発生する、前記の制御回路と、  
から成る対数アッテネータ回路。

【請求項2】

請求項1記載の対数アッテネータ回路において、各々の直列抵抗性エレメント



は、第2の基準電圧導体に接続したゲートを有するMOSFETを含むこと、を特徴とする対数アッテネータ回路。

【請求項3】

請求項1記載の対数アッテネータ回路において、各並列抵抗性エレメントは、対応する接合部と前記第1基準電圧導体との間に前記並列抵抗性エレメントを結合する前記スイッチング・エレメントとしても機能するMOSFETを含むこと、を特徴とする対数アッテネータ回路。

【請求項4】

請求項2記載の対数アッテネータ回路において、各並列抵抗性エレメントは、対応する接合部と前記第1基準電圧導体との間に前記並列抵抗性エレメントを結合する前記スイッチング・エレメントとしても機能するMOSFETを含むこと、を特徴とする対数アッテネータ回路。

【請求項5】

請求項1記載の対数アッテネータ回路において、前記制御回路は、複数の差動増幅器であって各々が利得制御導体上に利得制御信号を受けるように結合した第1の入力とそして第2の入力とを有する前記の複数の差動増幅器と、複数の連続的なしきい値電圧であって各々が先行するしきい値電圧よりもより大なる大きさを有する前記の複数の連続的なしきい値電圧を発生する回路と、を含み、前記第2入力、前記複数のしきい値電圧をそれぞれ受けるように結合していること、を特徴とする対数アッテネータ回路。

【請求項6】

請求項4記載の対数アッテネータ回路において、前記制御回路は、複数の差動増幅器であって、各々が利得制御導体上に利得制御信号を受けるように結合した第1の入力とそして第2の入力とを有する前記の複数の差動増幅器と、複数の連続的なしきい値電圧であって各々が先行するしきい値電圧よりもより大なる大きさを有する前記の複数の連続的なしきい値電圧を発生する回路と、を含み、前記第2入力、前記複数のしきい値電圧をそれぞれ受けるように結合していること、を特徴とする対数アッテネータ回路。

【請求項7】

請求項 6 記載の対数アッテネータ回路において、各差動増幅器は、出力段バイアス制御回路を含み、該回路は、当該差動増幅器の出力を、前記利得制御電圧の大きさが前記差動増幅器の前記第 2 入力に印加された前記しきい値電圧の大きさよりも小さいかあるいはこれに等しい場合に、並列抵抗性エレメントとしておよびスイッチング・エレメントとして機能する MOSFET のしきい値電圧におおよそ等しい電圧に維持すること、を特徴とする対数アッテネータ回路。

【請求項 8】

請求項 4 記載の対数アッテネータ回路において、前記 MOSFET は全て、P チャンネル MOSFET であって、その各々は、そのソース電極がそのボディ電極に接続したこと、を特徴とする対数アッテネータ回路。

【請求項 9】

対数利得回路であって、

(a) 抵抗性アッテネータであって、

i. 入力導体および出力導体と、

ii. 前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、

iii. 複数の並列の抵抗性エレメントであって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第 1 の端子を有する、前記の複数の並列の抵抗性エレメントと、  
を含む、前記の抵抗性アッテネータと、

(b) 複数のスイッチング・エレメントであって、前記連続的な接合部と第 1 の基準電圧導体との間にそれぞれ前記並列抵抗性エレメントを制御可能に電氣的に結合するよう動作し、各スイッチング・エレメントが制御端子を有する、前記の複数のスイッチング・エレメントと、

(c) アナログ制御回路であって、アナログの利得制御信号が第 1 の値から第 2 の値に線形に変化することに応答して、連続的なスイッチング・エレメントの前記制御端子に、複数の連続的な制御信号をそれぞれ発生し、各制御信号の大きさが、徐々に増大しそして次に所定の値で平らになる、前記アナログの制御回路と、

から成る対数利得回路。

【請求項 10】

対数利得回路であって、

(a) 抵抗性アッテネータであって、

i. 入力導体および出力導体と、

ii. 前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、

iii. 複数の並列の抵抗性エレメントであって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第 1 の端子を有し、前記並列抵抗性エレメントの各々が、これの抵抗値を制御するよう動作する制御端子を有する電氣的に制御可能な抵抗性エレメントを含み、前記並列抵抗性エレメントの各々が共通導体に結合した第 2 の端子を含む、前記の複数の並列の抵抗性エレメントと、

を含む、前記の抵抗性アッテネータと、

(b) アナログ制御回路であって、アナログの利得制御信号が第 1 の値から第 2 の値に徐々に変化することに対応して、連続的な電氣的に制御可能な抵抗性エレメントの前記制御端子に、複数の連続的な部分線形の徐々に変化するアナログの制御電圧信号をそれぞれ発生する、前記のアナログ制御回路と、  
から成る対数利得回路。

【請求項 11】

対数増幅器であって、

(a) 反転入力と、非反転入力と、出力とを有する演算増幅器と、

(b) 該演算増幅器の前記出力に結合した入力と、前記演算増幅器の前記反転入力に結合した出力とを有する対数アッテネータであって、

(1) 抵抗性アッテネータであって、

i. 入力導体および出力導体と、

ii. 前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、

iii. 複数の並列の抵抗性エレメントであって、その各々が、前

記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第1の端子を有し、前記並列抵抗性エレメントの各々が、これの抵抗値を制御するよう動作する制御端子を有する電氣的に制御可能な抵抗性エレメントを含み、前記並列抵抗性エレメントの各々が共通導体に結合した第2の端子を含む、前記の複数の並列の抵抗性エレメントと、

を含む、前記の抵抗性アッテネータと、

(2) アナログ制御回路であって、アナログの利得制御信号が第1の値から第2の値に徐々に変化することに応答して、連続的な電氣的に制御可能な抵抗性エレメントの前記制御端子に、複数の連続的な部分線形の徐々に変化するアナログの制御電圧信号をそれぞれ発生する、前記のアナログ制御回路と、

を含む、前記の対数アッテネータと、

から成る対数増幅器。

#### 【請求項12】

対数利得を提供するように回路を作動する回路作動方法であって、

(a) 抵抗性アッテネータを提供するステップであって、該抵抗性アッテネータが、入力導体および出力導体と、前記入力導体と前記出力導体との間に直列に接続した複数の直列の抵抗性エレメントと、複数の並列の抵抗性エレメントであって、その各々が、前記種々の直列抵抗性エレメント間の連続的な接合部にそれぞれ接続した第1の端子を有し、前記並列抵抗性エレメントの各々が、これの抵抗値を制御するよう動作する制御端子を有する電氣的に制御可能な抵抗性エレメントを含み、前記並列抵抗性エレメントの各々が共通導体に結合した第2の端子を含む、前記の複数の並列の抵抗性エレメントと、を含む、前記のステップと、

(b) 複数の徐々に変化する連続的な部分線形のアナログの制御電圧信号を、連続的な電氣的に制御可能な抵抗性エレメントの前記制御端子にそれぞれ発生するステップと、

から成る回路作動方法。

#### 【請求項13】

請求項12記載の方法において、ステップ(b)は、利得制御信号が第1の値から第2の値に線形に変化することに応答して、前記複数の連続的な部分線形の

制御信号を発生すること、を含むことを特徴とする回路作動方法。

## 【国際調査報告】

| INTERNATIONAL SEARCH REPORT  |   | International application No.<br>PCT/US98/08577  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
|--|---|--|--|--|---|--|--|--|--|--|--|---|---|---|--|--|--|--|--|--|
| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>IPC(6) : H03Q 11/08; G06F 7/556<br>US CL : 327/350, 351<br>According to International Patent Classification (IPC) or to both national classification and IPC   |   |  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| <b>B. FIELDS SEARCHED</b><br>Minimum documentation searched (classification system followed by classification symbols)<br>U.S. : 327/350, 351, 352, 346<br>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>None<br>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)<br>APS and Image Search Retrieval<br>search terms: log or logarithmic; attenuat?/ab, resist?/clm, attenuat?/clm   |   |  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X<br/>---<br/>Y</td> <td>US 3,590,366 A (VAUGHN) 29 June 1971 (29.06.71), Fig. 3, col.6 lines 13-66</td> <td>1-2, 9, 10-13<br/>-----<br/>3-4, 8</td> </tr> <tr> <td>A</td> <td>US 4,500,845 A (EHNI) 19 February 1985 (19.02.85) Fig. 3, from col. 2, line 25 to col. 3, line 8</td> <td>None</td> </tr> <tr> <td>A</td> <td>US 5,523,712 A (MIYABE et al.) 04 June 1996 (04.06.96), Fig. 1, from col. 3, line 55 to col. 6, line 52</td> <td>None</td> </tr> </tbody> </table>  |   |  | Category*                                | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No.   | X<br>---<br>Y  | US 3,590,366 A (VAUGHN) 29 June 1971 (29.06.71), Fig. 3, col.6 lines 13-66 | 1-2, 9, 10-13<br>-----<br>3-4, 8   | A  | US 4,500,845 A (EHNI) 19 February 1985 (19.02.85) Fig. 3, from col. 2, line 25 to col. 3, line 8 | None   | A   | US 5,523,712 A (MIYABE et al.) 04 June 1996 (04.06.96), Fig. 1, from col. 3, line 55 to col. 6, line 52 | None                                      |  |  |  |  |  |  |
| Category*  | Citation of document, with indication, where appropriate, of the relevant passages                      | Relevant to claim No.  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| X<br>---<br>Y  | US 3,590,366 A (VAUGHN) 29 June 1971 (29.06.71), Fig. 3, col.6 lines 13-66                              | 1-2, 9, 10-13<br>-----<br>3-4, 8   |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| A  | US 4,500,845 A (EHNI) 19 February 1985 (19.02.85) Fig. 3, from col. 2, line 25 to col. 3, line 8        | None   |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| A  | US 5,523,712 A (MIYABE et al.) 04 June 1996 (04.06.96), Fig. 1, from col. 3, line 55 to col. 6, line 52 | None   |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.  |   |  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| <table border="0"> <tr> <td>* Special categories of cited documents:</td> <td>* T</td> <td>later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>'A' document defining the general state of the art which is not considered to be of particular relevance</td> <td>* X</td> <td>document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>'E' earlier document published on or after the international filing date</td> <td>* Y</td> <td>document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>* Z</td> <td>document member of the same patent family</td> </tr> <tr> <td>'O' document referring to an oral disclosure, use, exhibition or other means</td> <td></td> <td></td> </tr> <tr> <td>'P' document published prior to the international filing date but later than the priority date claimed</td> <td></td> <td></td> </tr> </table> |   |  | * Special categories of cited documents: | * T  | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention | 'A' document defining the general state of the art which is not considered to be of particular relevance | * X  | document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone | 'E' earlier document published on or after the international filing date | * Y  | document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art | 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | * Z   | document member of the same patent family | 'O' document referring to an oral disclosure, use, exhibition or other means |  |  | 'P' document published prior to the international filing date but later than the priority date claimed |  |  |
| * Special categories of cited documents:   | * T   | later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| 'A' document defining the general state of the art which is not considered to be of particular relevance   | * X   | document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone   |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| 'E' earlier document published on or after the international filing date   | * Y   | document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| 'L' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  | * Z   | document member of the same patent family  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| 'O' document referring to an oral disclosure, use, exhibition or other means   |   |  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| 'P' document published prior to the international filing date but later than the priority date claimed   |   |  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| Date of the actual completion of the international search<br>01 JULY 1998  |   | Date of mailing of the international search report<br>10 SEP 1998  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |
| Name and mailing address of the ISA/US<br>Commissioner of Patents and Trademarks<br>Box PCT<br>Washington, D.C. 20231<br>Facsimile No. (703) 305-3230  |   | Authorized officer<br>PO COAN TRAN / <i>MAJ</i><br>Telephone No. (703) 308-4888  |  |  |   |  |  |  |  |  |  |   |   |   |  |  |  |  |  |  |

Form PCT/ISA/210 (second sheet)(July 1992)\*

---

フロントページの続き

F ターム(参考) 5J026 AA16  
5J030 BA07 BB04 BB06 BC02 BC03  
BC04 BC06  
5J098 AA03 AA11 AB03 AB08 AB34  
AC05 AC14 AC20 AC21 AD26  
EA01

【公報種別】特許法第17条第1項及び特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成15年2月25日(2003. 2. 25)

【公表番号】特表2001-519613(P2001-519613A)

【公表日】平成13年10月23日(2001. 10. 23)

【年通号数】

【出願番号】特願2000-515334(P2000-515334)

【国際特許分類第7版】

H03H 11/24

H03G 11/08

H03H 7/24

// G06F 7/556

【FI】

H03H 11/24 B

H03G 11/08

H03H 7/24

G06F 7/556 Z



【手続補正書】

【提出日】平成12年12月21日（2000.12.21）

【手続補正1】

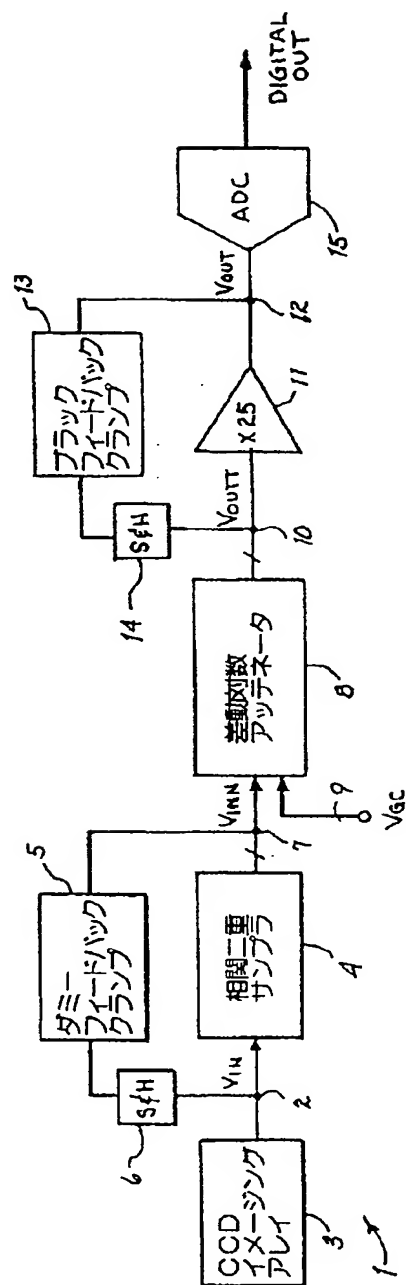
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正の内容】

【図1】



【手続補正2】

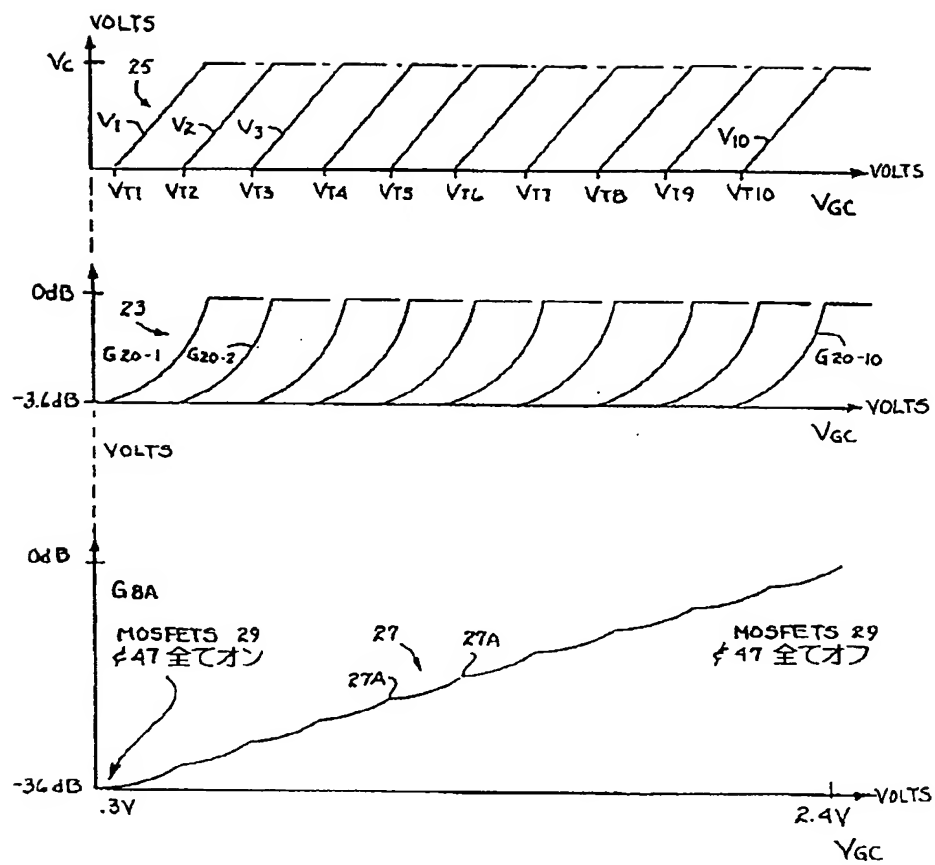
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正の内容】

【図4】



【手続補正3】

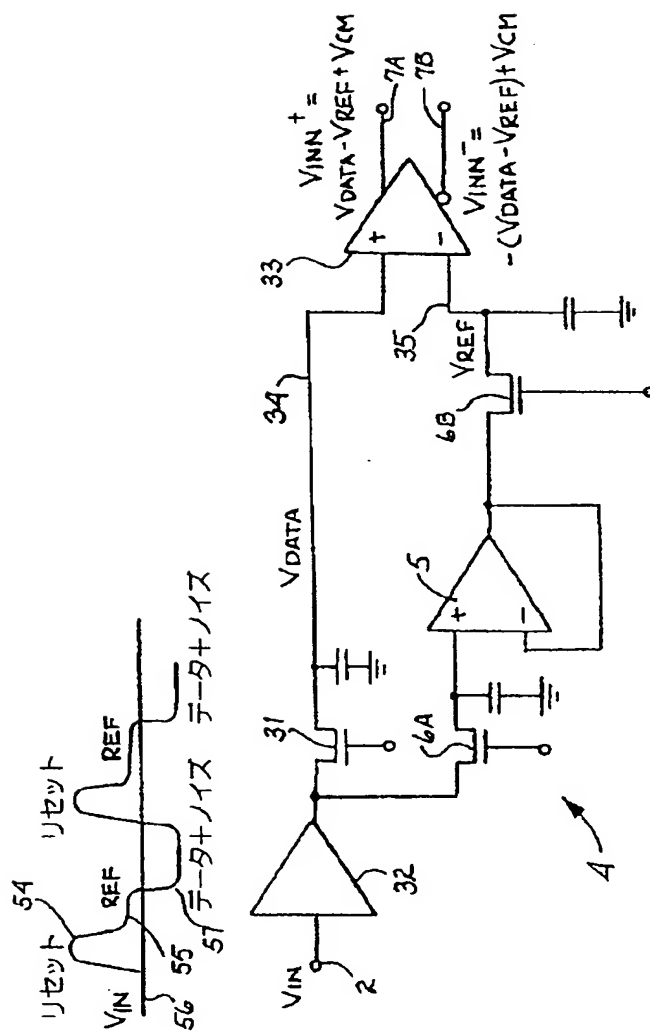
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正の内容】

【図6】



【手続補正4】

【補正対象書類名】図面

【補正対象項目名】図9

【補正方法】変更

【補正の内容】

【図9】

